

RX32S50 数据手册

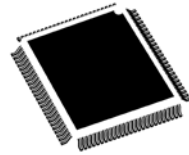
文档编号：DS0001

基于 Arm[®]Cortex[®]-M4 内核的 32 位专业电机微控制器

版本：V1.1

特征

- 内核：带 FPU 的 Arm[®]Cortex[®]-M4 的内核，最高频率 80 MHz
- 运行条件：
 - VDD, VDDA 电压范围：2.5 V 至 5.5V
 - -40 °C ~ 105 °C
- ESD
 - HMB 高达 7KV
 - EFT 高达 4KV
- 电机专用协同处理器
 - 2 通道 SVPWM
 - 6 通道 PID
- 存储器
 - 256 KB Flash
 - 20 KB SRAM
 - 40 KB CCM SRAM 带奇偶校验
 - AMPU
- 复位和供电管理
 - 上电/下电复位 (POR/PDR)
 - 可编程电压监测器 (PVD)
 - 低功耗模式：睡眠 (Sleep)、停止 (Stop)、待机 (Standby)
- 时钟管理
 - 内置经出厂调校的 8 MHz 振荡器
 - 内置经出厂调校的 40 KHz 振荡器
- 最多 67 个快速 I/O
 - 53 或者 67 个 I/O，全部可映射到外部中断向量
- DMA 控制器
 - 7 通道的 DMA1、8 通道的 DMA3
- 3 个 1Msps 的 12 位 ADC
 - 10 通道的 ADC1、7 通道的 ADC2、10 通道的 ADC3
 - 电压转换范围：0 V 至 AVCC



LQFP64 (10 × 10 mm)

LQFP80 (12 × 12 mm)

- 3 个轨对轨比较器
 - 内部参考电压源
 - 电压源可选 1.2V 或 4.2V
 - 3 个可编程分压输出通道
- 运算放大器
 - 2 个可编程运算放大器 (PGA)
 - 1 个模拟运算放大器 (OPA)
- 通信接口
 - 2 个 I²C (支持 SMBus/PMBus)
 - 3 个 USART
 - 2 个 SPI
 - CAN 2.0B
- 开发支持
 - 串行线调试 (SWD)
 - JTAG
- 10 个定时器
 - 3 个 16 位定时器，最多 4 个 IC/OC/PWM 或脉冲计数器和正交(增量式)编码器输入
 - 3 个 16 位 6 通道高级电机控制定时器，最多 6 个 PWM 通道，带有死区时间生成和刹车功能
 - 2 个看门狗定时器 (独立和窗口看门狗)
 - 1 个 24 位 SysTick 定时器
 - 1 个 RTC 实时时钟
- CRC 计算单元，96 位唯一 ID

目录

1	简介.....	8
2	概述.....	9
3	功能概述.....	11
3.1	带 FPU 的 Arm Cortex-M4 内核.....	11
3.2	电机专用协同处理器.....	11
3.3	认证型存储保护单元.....	11
3.4	内置 Flash.....	11
3.5	内置 SRAM.....	11
3.6	自举模式.....	11
3.7	循环冗余校验计算单元 (CRC)	11
3.8	电源管理.....	11
3.8.1	供电方案.....	11
3.8.2	上电复位 (POR) 和掉电复位 (PDR)	12
3.8.3	低功耗模式.....	12
3.9	通用输入/输出(GPIOs).....	12
3.10	直接存储器访问控制器 (DMA)	12
3.11	模数转换器(ADC)	12
4	引脚和引脚分布.....	13
4.1	LQFP64 引脚分布	13
4.2	LQFP80 引脚分布	14
4.3	复用功能.....	15
5	电气特性.....	20
5.1	测试条件.....	20
5.1.1	最小值和最大值.....	20
5.1.2	典型值.....	20
5.1.3	典型曲线.....	20
5.1.4	负载电容.....	20
5.1.5	引脚输入电压.....	20
5.1.6	供电方案.....	21
5.1.7	电流消耗测量.....	22
5.2	绝对最大额定值.....	22
5.3	工作条件.....	23
5.3.1	通用工作条件.....	23
5.3.2	上电和断电时操作条件.....	23
5.3.3	内置复位和电源控制模块特性.....	23
5.3.4	内部参考电压.....	24
5.3.5	供电电流特性.....	25
5.3.6	内部时钟源特性.....	26
5.3.7	PLL 特性.....	27
5.3.8	存储器特性.....	27
5.3.9	EMC 特性.....	28

5.3.10	电气敏感性.....	28
5.3.1	IO 注入电流特性.....	28
5.3.2	IO 端口特性.....	29
5.3.3	NRST 引脚特性.....	31
5.3.4	TIM 定时器特性.....	31
5.3.5	通信接口.....	31
5.3.6	CAN（控制器局域网总线）接口.....	34
5.3.7	ADC 特性.....	34
5.3.8	温度传感器特性.....	35
5.3.9	OPAMP 特性.....	36
5.3.10	PGA 特性.....	37
5.3.11	CMP 特性.....	38
5.3.12	CRV 特性.....	39
6	封装信息.....	40
6.1	LQFP80 封装信息.....	40
6.1	LQFP64 封装信息.....	42
7	订货代码.....	44
8	版本历史.....	45

表目录

表 4.1 复用功能 (Port A)	15
表 4.2 复用功能 (Port B)	16
表 4.3 复用功能 (Port C)	17
表 4.4 复用功能 (Port D)	18
表 4.5 复用功能 (Port E)	19
表 5.1 电压特性	22
表 5.2 电流特性	22
表 5.3 温度特性	23
表 5.4 通用工作条件	23
表 5.5 上电和掉电时的工作条件	23
表 5.6 内置复位和电源控制块特性	24
表 5.7 内置的参照电压	24
表 5.8 睡眠模式下的最大电流消耗, 代码从 FLASH 运行	25
表 5.9 运行模式下的最大电流消耗, 数据处理代码从 FLASH 运行	25
表 5.10 停止模式和待机模式下的典型和最大电流消耗	26
表 5.11 高速内部 RC (HSI) 振荡器特性 ⁽¹⁾	26
表 5.12 LSI 振荡器特性 ⁽¹⁾	27
表 5.13 低功耗模式的唤醒时间	27
表 5.14 PLL 特性	27
表 5.15 FLASH 特性	27
表 5.16 FLASH 寿命和数据保存期限	28
表 5.17 EMS 特性	28
表 5.18 ESD 绝对最大值	28
表 5.19 电气敏感性	28
表 5.20 IO 电流注入易感性	28
表 5.21 IO 静态特性	29
表 5.22 输出电压特性	29
表 5.23 IO 交流特性	30
表 5.24 NRST 引脚特性	31
表 5.25 TIMx 特性	31
表 5.26 I2C 接口特性 ⁽¹⁾	31
表 5.27 SCL 频率 ($f_{PCLK1} = 36\text{MHz}$, $V_{DD,I2C} = 3.3\text{V}/5\text{V}$)	32
表 5.28 SPI 特性	32
表 5.30 CAN 接口位定时	34
表 5.31 ADC 特性	34
表 5.32 $f_{ADC} = 14\text{MHz}$ 时的最大 R_{AIN}	35
表 5.33 ADC 精度-限制测试条件	35
表 5.34 温度传感器特性	35
表 5.35 OPAMP 特性	36
表 5.36 PGA 特性 ⁽¹⁾	37
表 5.37 CMP 特性	38

表 5.38 CRV 特性	39
表 6.1 LQFP80 机械数据	40
表 6.2 LQFP64 机械数据	42
表 8.1 版本历史	45

图目录

图 2.1 RX32S50 架构图	10
图 4.1 RX32S50 LQFP64 引脚图	13
图 4.2 RX32S50 LQFP80 引脚图	14
图 5.1 引脚的负载情况	20
图 5.2 引脚输入电压	21
图 5.3 供电方案	21
图 5.4 电流功耗测量方案	22
图 5.5 SPI 时序图-从模式和 CPHA=0	33
图 5.6 SPI 时序图-从模式和 CPHA=1	33
图 5.7 SPI 时序图-主模式	34
图 6.1 LQFP80 轮廓图	40
图 6.2 LQFP64 轮廓图	42

1 简介

本数据手册提供 RX32S50 的订购信息和固有特性。

本文档应与参考手册“RX32S50_Reference_Manual”一起阅读。本数据手册和参考手册均可从睿兴官网 www.rxtek-icore.com 获得。

2 概述

RX32S50 系列采用 Arm[®]Cortex[®]-M4 32 位 RISC 内核，最高运行频率为 80Mhz。

Cortex-M4 内核有一个单精度浮点单元（FPU），支持所有 Arm 单精度数据处理指令和所有数据类型。

超强抗静电和群脉冲能力，内测系统 ESD 接触放电大于 18 KV 和空气放电大于 30 KV。

该系列内置高速存储器（256KB 的 Flash、20KB 的 SRAM 和 40KB 的 CCM SRAM），以及丰富的增强 I/O 引脚，连接到 2 条 APB 总线，1 条 AHB 总线。

该系列内置电机专用协同处理器，包括 2 通道 SVPWM 和 6 通道 PID 运算单元。

该系列内置 3 个 ADC（1 Msps），3 个比较器（CMP），2 个可编程运算放大器（PGA），1 个模拟运算放大器（OPA），3 个电机专用的 16 位高级定时器，3 个通用 16 位定时器。

该系列具有丰富通信接口：

- 2 个 I2C
- 3 个 USART
- 2 个 SPI
- 1 个 CAN

该系列可以在 -40 至 +105 °C 的温度范围内工作，供电电压 2.5 至 5.5V。

RX32S50 系列提供 80 引脚和 64 引脚 2 个封装。

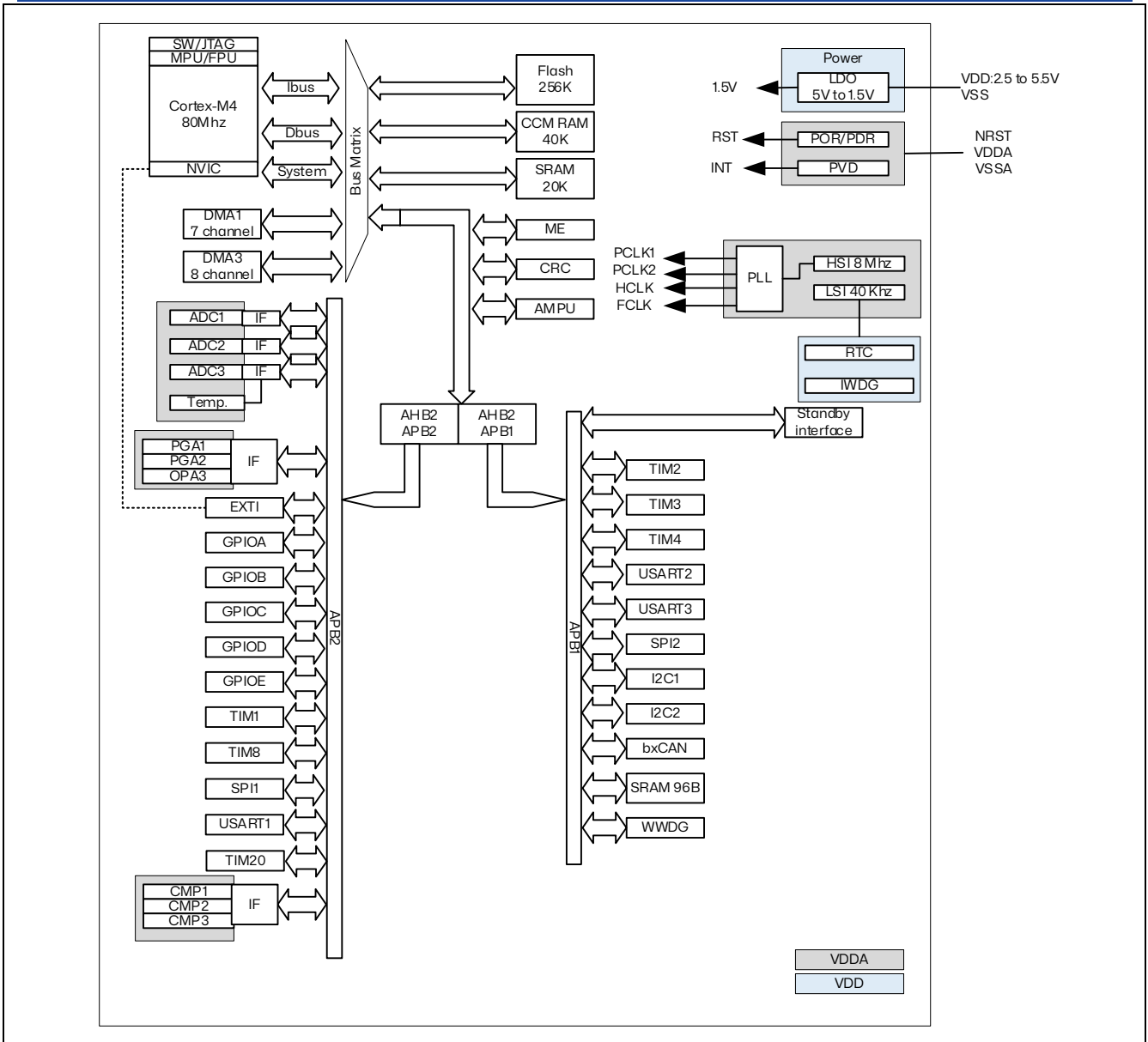


图 2.1 RX32S50 架构图

3 功能概述

3.1 带 FPU 的 Arm® Cortex®-M4 内核

带有 FPU 处理器的 Arm® Cortex®-M4 处理器是最新一代的 Arm 嵌入式处理器，它为实现 MCU 的某些需要提供了低成本的平台、缩减的引脚数目、降低的系统功耗，同时提供卓越的计算性能和先进的中断系统响应。

带有 FPU 的 Arm® Cortex®-M4 是 32 位的 RISC 处理器，提供杰出的代码执行效率。

3.2 电机专用协同处理器

RX32S50 提供一个电机专用协同处理器（ME），该处理器包含 FOC 运算所需的运算加速单元：

- Clarke：将 3 轴向量转换成绝对坐标向量 (α - β)
- Park：将绝对坐标向量转换成 d-q 轴向量
- RevPark：将 d-q 轴向量反转回绝对坐标向量
- SVPWM：将绝对坐标向量运算出 3 路 PWM 输出值
- PID：比例积分微分运算加速器

3.3 认证型存储保护单元

认证型存储保护单元（AMPU）为芯片内部提供存储器提供保护机制，主要保护内容包括：读保护、写保护和执行保护。AMPU 内部包含一个 222×32 bit 的模块内数据区和 4 个独立可编程保护区域。访问或修改 AMPU 的设定都需要先认证通过。

3.4 内置 Flash

RX32S50 内置 256KB 的嵌入式闪存，可用于存储程序和数据。

3.5 内置 SRAM

RX32S50 内置 20KB 的 SRAM 和 40KB 的 CCM SRAM。这些 SRAM 可以以字节（8 位）、半字节（16 字节）或字（32 位）进行访问。这些存储器可以在没有等待周期的情况下由 CPU 或者 DMA 寻址，需要特别注意的是，映射在 $0x1000\ 0000$ 的 CCM SRAM 不可以通过 DMA 寻址。

3.6 自举模式

启动加载程序存放在系统内存中，被用于通过 USART 对 Flash 重新编程，需要通过软件启动。

3.7 循环冗余校验计算单元（CRC）

CRC（循环冗余校验）计算单元使用具有多项式值和大小可配置的生成器得到 CRC 计算结果。在一些应用中，基于 CRC 的技术用于验证数据传输或存储的完整性。

3.8 电源管理

3.8.1 供电方案

RX32S50 系列需要使用 2.5 V 至 5.5 V 的工作电压供电。

3.8.2 上电复位 (POR) 和掉电复位 (PDR)

RX32S50 内部有完整的上电复位 (POR) 和掉电复位 (PDR) 电路。当供电电压到达 2 V 时系统即能正常工作。

当 V_{DD}/V_{DDA} 低于指定的限位电压 V_{POR}/V_{PDR} 时, 系统保持为复位状态, 而无需外部复位电路。关于上电复位和掉电复位的细节请参考数据手册的电气特性部分。

3.8.3 低功耗模式

RX32S50 支持三种低功耗模式, 用户可以在以下模式中进行选择:

- 睡眠模式: 睡眠模式下, 只有 CPU 被停止。所有外设继续运行, 并且 CPU 可以被中断或者事件唤醒。
- 停止模式: 停止模式下, 在保持 SRAM 和寄存器内容的同时, 实现的功耗最低。该系列可以被任一外部中断线从停止模式中唤醒。
- 待机模式: 待机模式用于实现最低的功耗, 内部电压调节器被关闭, 整个 1.5 V 电压域被关闭。该系列可以被外部复位 (NRST 引脚)、IWDG 复位、唤醒引脚的上升沿从待机模式中唤醒。

3.9 通用输入/输出(GPIOs)

每个 GPIO 引脚都可以被软件配置为输出 (推挽或开漏)、输入 (上拉、下拉或浮空) 或外设复用功能。大多数 GPIO 引脚既可以作数字复用, 也可以作模拟复用功能。

3.10 直接存储器访问控制器 (DMA)

该系列内置 2 个 DMA (Direct memory access controller)。

直接内存访问 (DMA) 用于提供外设和内存之间以及内存与内存之间的高速数据传输。数据可以通过 DMA 快速移动, 而不需要任何 CPU 操作。这样可以为其他操作保留空闲的 CPU 资源。

这两个 DMA 控制器总共有 15 个通道, 每个通道专门用于管理来自一个或多个外设的内存访问请求。每个控制器都有一个仲裁器来处理 DMA 请求之间的优先级。

DMA 支持:

- 15 个独立可配置的通道 (请求)
 - 每个通道连接到专用的硬件 DMA 请求, 每个通道也支持软件触发。
- 来自一个 DMA 的通道请求之间的优先级是软件可编程的 (4 个级别: 非常高、高、中、低)。
- 独立的源和目标传输大小 (字节、半字、字), 模拟打包和解包。源/目标地址必须与数据大小对齐。
- 3 个事件标志 (DMA 半传输, DMA 传输完成和 DMA 传输错误) 在一个中断请求中。
- 内存到内存传输。
- 内存到外设、外设到内存和外设到外设传输。

3.11 模数转换器(ADC)

该系列内置 3 个模数转换器, 具有以下特点:

- 12 位分辨率, 内置校准。
- 1 Msps 的采样率
- 内置 TPS

4 引脚和引脚分布

4.1 LQFP64 引脚分布

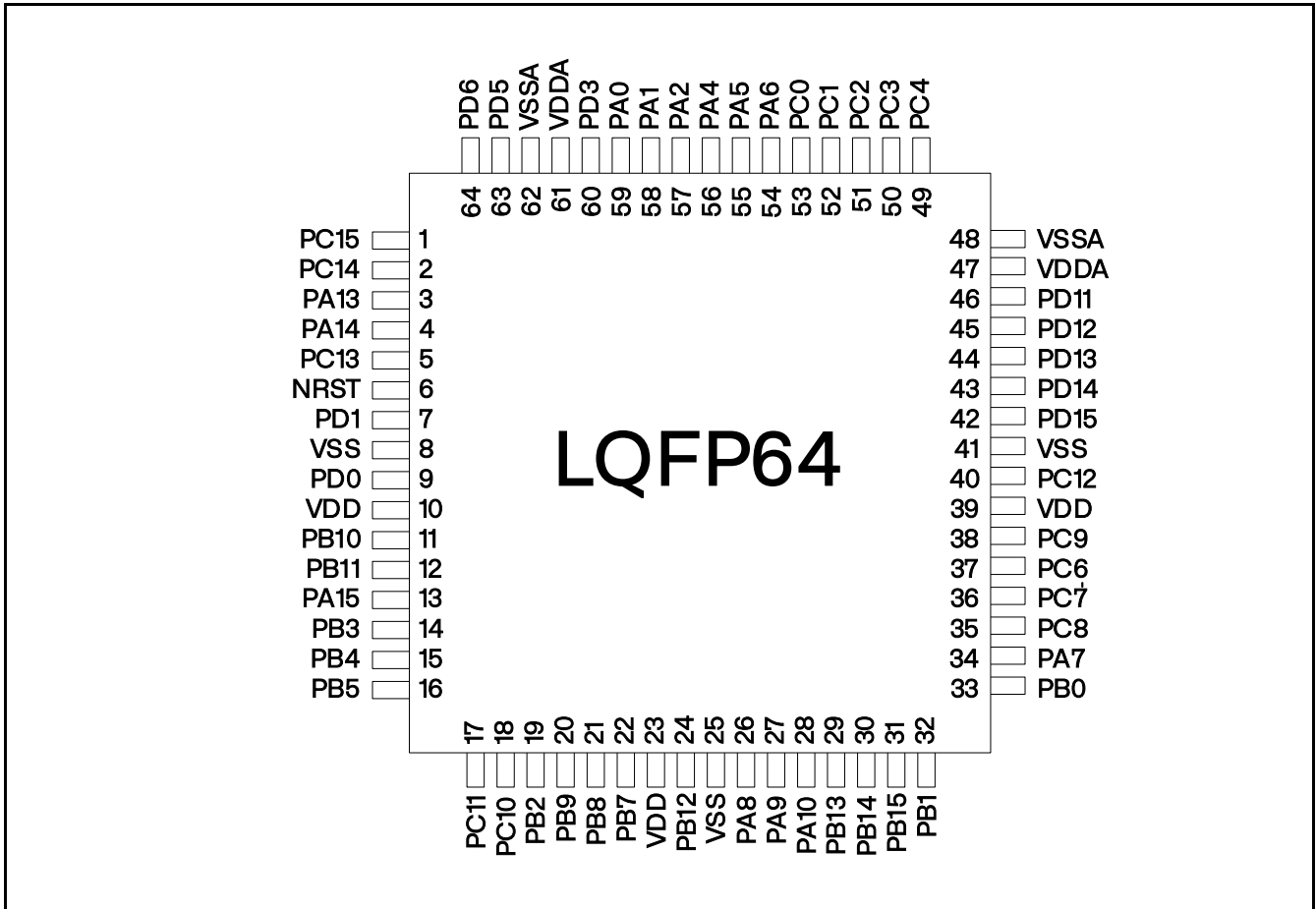


图 4.1 RX32S50 LQFP64 引脚图

4.2 LQFP80 引脚分布

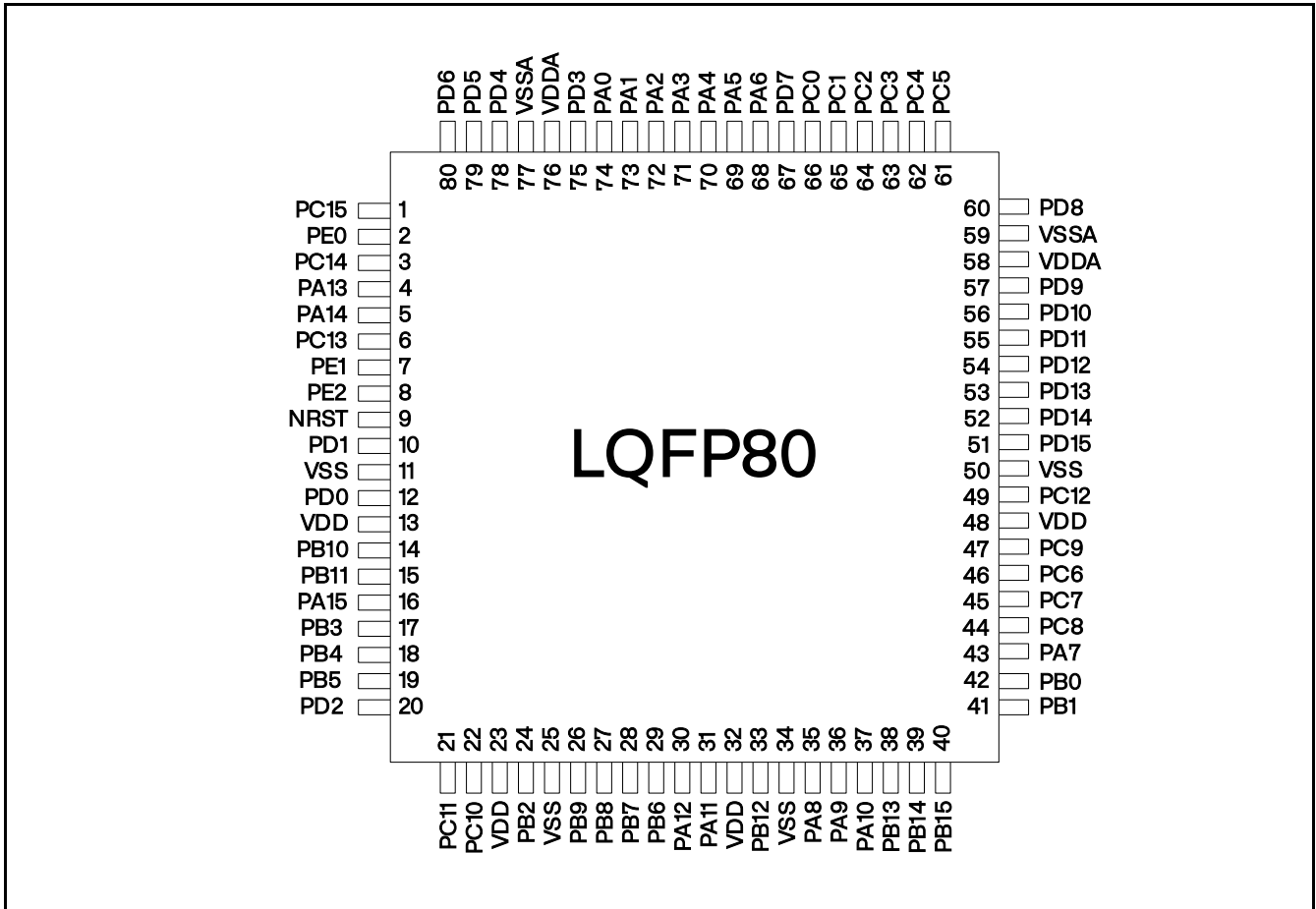


图 4.2 RX32S50 LQFP80 引脚图

4.3 复用功能

表 4.1 复用功能 (Port A)

Port	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	Analog
Port A	PA0								ADC1_IN1, PGA1_P, CMP1_P
	PA1								ADC1_IN0, PGA1_N, CMP1_N
	PA2								ADC2_IN0
	PA3								ADC2_IN1
	PA4								ADC2_IN2, PGA2_P, CMP2_P
	PA5								ADC2_IN3, PGA2_N, CMP2_N
	PA6								ADC2_IN4
	PA7			TIM1_CH6				TIM8_CH1N	
	PA8	MCO		TIM1_CH1					
	PA9			TIM1_CH2					
	PA10			TIM1_CH3					
	PA11				USART1_CTS			CAN_RX	
	PA12			TIM1_ETR	USART1_RTS			CAN_TX	
	PA13	SWDIO-JTMS							
	PA14	SWCLK-JTCK							
	PA15	JTDI	TIM2_CH1_ETR			SPI1_NSS			



表 4.2 复用功能 (Port B)

Port	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	Analog
Port B	PB0			TIM1_CH5				TIM8_CH2N	
	PB1			TIM1_CH4				TIM8_CH3N	
	PB2								
	PB3	JTDO- TRACESWO	TIM2_CH2		USART1_RX	SPI1_SCK			
	PB4	JNRST	TIM3_CH1			SPI1_MISO			
	PB5		TIM3_CH2		USART1_TX	SPI1_MOSI	I2C1_SMBAI		
	PB6		TIM4_CH1		USART3_TX		I2C1_SCL		
	PB7		TIM4_CH2		USART3_RX		I2C1_SDA		
	PB8		TIM4_CH3				I2C1_SCL	CAN_RX	
	PB9		TIM4_CH4				I2C1_SDA	CAN_TX	
	PB10		TIM2_CH3		USART1_TX		I2C2_SCL		
	PB11		TIM2_CH4		USART1_RX		I2C2_SDA		
	PB12			TIM1_BKIN	USART1_CK	SPI2_NSS	I2C2_SMBAI	TIM8_ETR	
	PB13			TIM1_CH1N				TIM8_CH6	
	PB14			TIM1_CH2N				TIM8_CH5	
	PB15			TIM1_CH3N				TIM8_CH4	

表 4.3 复用功能 (Port C)

Port	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	Analog
Port C	PC0								ADC3_IN7, OPA_P
	PC1								ADC3_IN6, OPA_N
	PC2								ADC3_IN5, OPA_O
	PC3								ADC3_IN4, CMP3_P
	PC4								ADC3_IN3, CMP3_N
	PC5								ADC3_IN2
	PC6							TIM8_CH1	
	PC7							TIM8_CH2	
	PC8							TIM8_CH3	
	PC9		TIM3_CH4	TIM8_BKIN				TIM8_CH4	
	PC10		TIM3_CH3		USART3_TX				
	PC11		TIM3_CH4		USART3_RX				
	PC12			TIM20_BKIN	USART3_CK				
	PC13								
	PC14								ADC1_IN8
PC15								ADC1_IN6	

表 4.4 复用功能 (Port D)

Port	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	Analog
Port D	PD0								
	PD1								
	PD2		TIM3_ETR						
	PD3								ADC1_IN2
	PD4							CMP1_OUT	ADC1_IN3
	PD5							CMP2_OUT	ADC1_IN4
	PD6							CMP3_OUT	ADC1_IN5
	PD7								ADC2_IN5
	PD8								ADC3_IN1
	PD9								ADC3_IN0
	PD10		TIM2_CH3	TIM20_CH3N	USART2_CTS				
	PD11		TIM2_CH4	TIM20_CH2N	USART2_RTS				
	PD12		TIM4_CH1	TIM20_CH1N	USART2_RX	SPI2_MISO			
	PD13		TIM4_CH2	TIM20_CH3	USART2_TX	SPI2_MOSI			
	PD14		TIM4_CH3	TIM20_CH2	USART2_CK	SPI2_SCK			
	PD15		TIM4_CH4	TIM20_CH1		SPI2_NSS			



表 4.5 复用功能 (Port E)

Port		AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	Analog
Port E	PE0			TIM20_CH4	USART2_CK					ADC1_IN7
	PE1			TIM20_CH5	USART2_TX					
	PE2			TIM20_CH6	USART2_RX					

5 电气特性

5.1 测试条件

除非特别说明，所有电压均参考 V_{SS} 。

5.1.1 最小值和最大值

除非特别说明，在生产线上通过对 100% 的产品在环境温度 $T_A = 25^\circ\text{C}$ 下执行的测试，所有最小和最大值将在最坏的环境温度、供电电压和时钟频率条件下得到保证。

在每个表格下方的注解中说明为通过综合评估、设计模拟和/或工艺特性得到的数据，不会在生产线上进行测试；在综合评估的基础上，最小和最大数值是通过样本测试后，取其平均值再加减三倍的标准分布(平均 $\pm 3\sigma$)得到。

5.1.2 典型值

除非特别说明，典型数据以 $T_A = 25^\circ\text{C}$ ， $V_{DD} = V_{DDA} = 3.3\text{V}$ 为基础。这些数据仅用于设计指导而未经测试。

典型的 ADC 精度数值是通过对一个标准的批次采样，在所有温度范围下测试得到，95% 产品的误差小于等于给出的数值(平均 $\pm 2\sigma$)。

5.1.3 典型曲线

除非特别说明，典型曲线仅用于设计指导而未经测试。

5.1.4 负载电容

用于引脚参数测量的负载情况如图 5.1 所示。

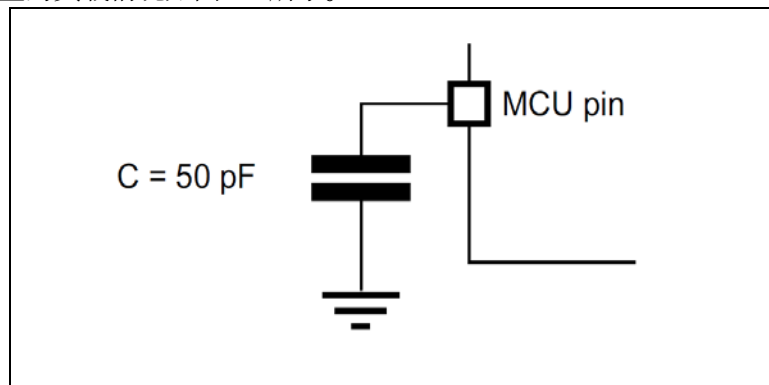


图 5.1 引脚的负载情况

5.1.5 引脚输入电压

图 5.2 描述了该器件的一个引脚上的输入电压测量。

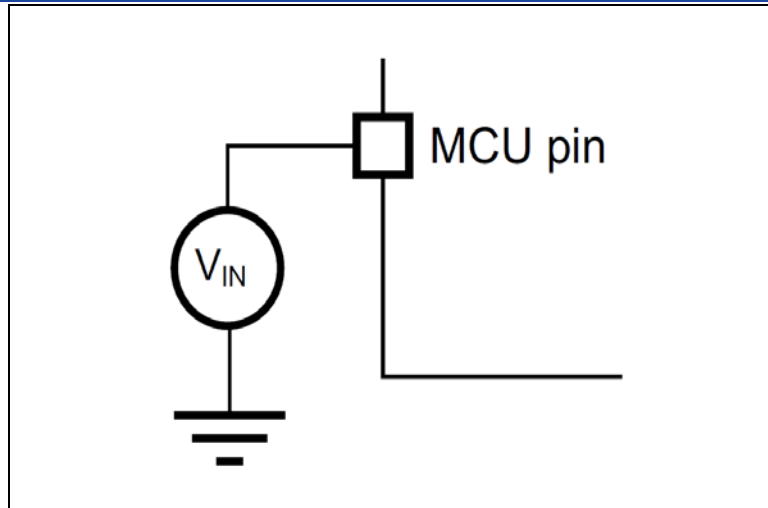


图 5.2 引脚输入电压

5.1.6 供电方案

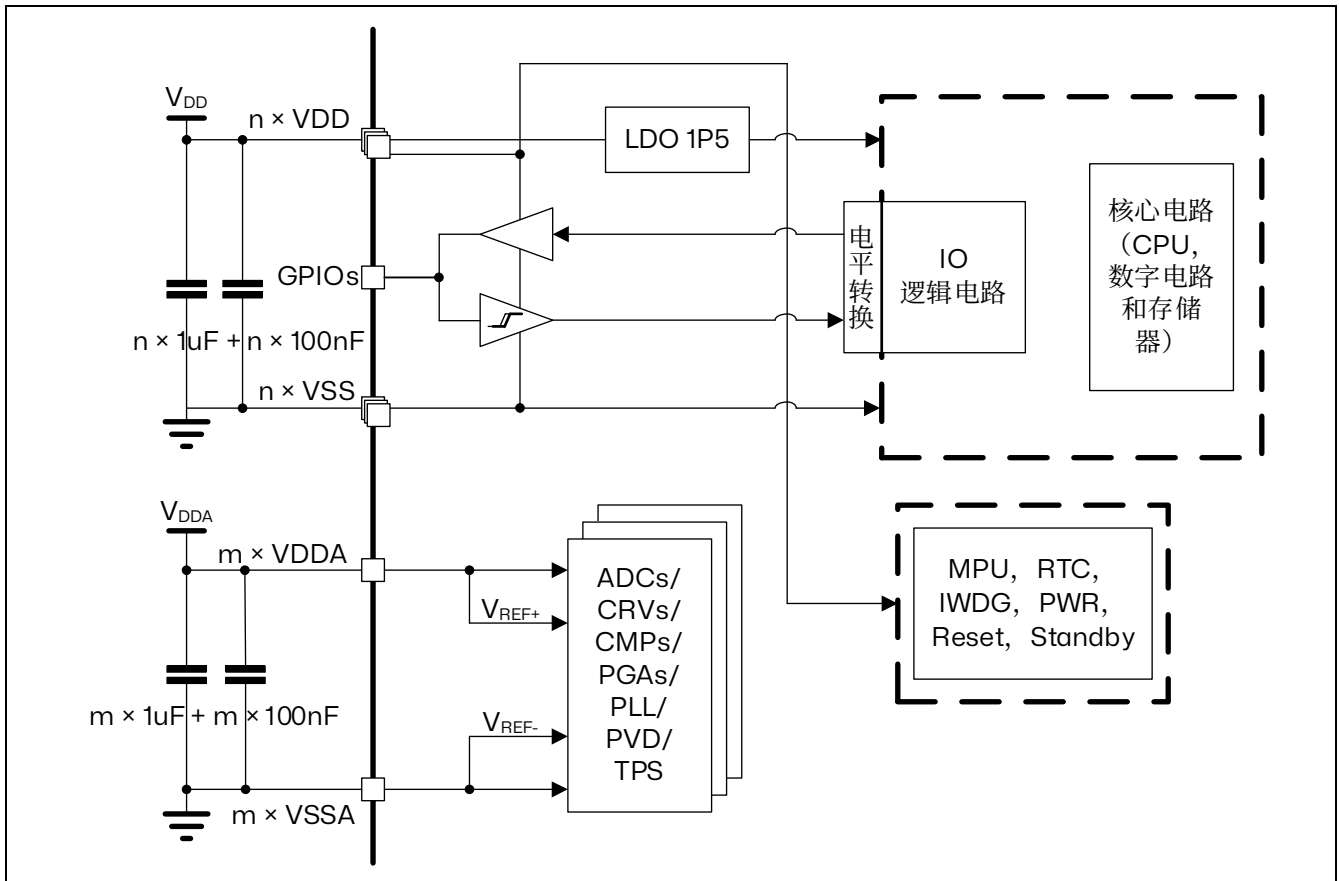


图 5.3 供电方案

注意：每个电源对 (V_{DD}/V_{SS} , V_{DDA}/V_{SSA} 等) 必须采用如上所示的滤波陶瓷电容器去耦。这些电容器必须尽可能靠近对应引脚的 PCB 底部，以确保芯片的良好功能。

5.1.7 电流消耗测量

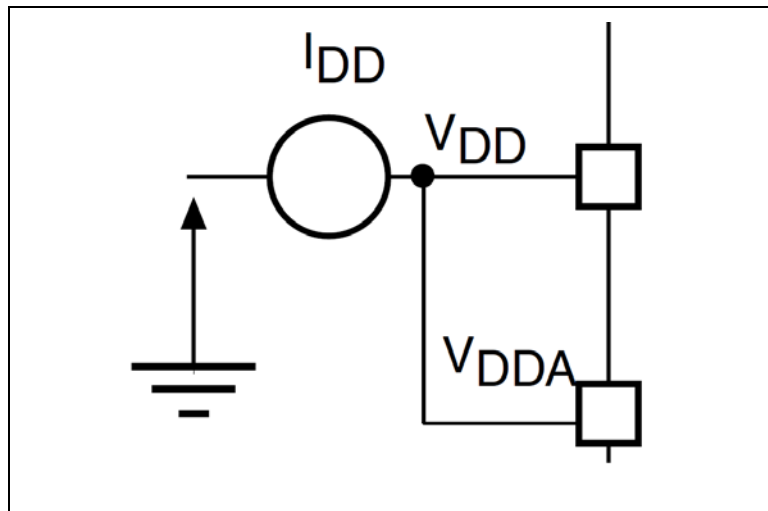


图 5.4 电流功耗测量方案

5.2 绝对最大额定值

加载在器件上的载荷如果超过本节“绝对最大额定值”中给出的值，可能会导致器件永久性地损坏。这里只是给出能承受的最大载荷，并不意味着在此条件下器件的功能性操作无误。器件长期工作在最大值条件下会影响器件的可靠性。

表 5.1 电压特性

符号	描述	最小值	最大值	单位
$V_{DD} - V_{SS}$	外部主供电电压（包含 V_{DDA} 和 V_{DD} ） ⁽¹⁾	0	6.5	V
$V_{IN}^{(2)}$	在其它引脚上的输入电压	0	6.5	
$ \Delta V_{DDx} $	不同供电引脚之间的电压差	-	50	mV
$ V_{SSx} - V_{SS} $	不同接地引脚之间的电压差	-	50	
$V_{ESD(HBM)}$	ESD 静电放电电压（人体模型）	7		KV

- 所有的电源（ V_{DD} , V_{DDA} ）和地（ V_{SS} , V_{SSA} ）引脚必须始终连接到允许范围内的外部供电系统上。
- 必须保证 V_{IN} 不超过其最大值。最大允许注入电流值参考电流特性。

表 5.2 电流特性

符号	描述	条件	最大值	单位
I_{VDD}	经过 V_{DD}/V_{DDA} 电源线的总电流（供电电流） ⁽¹⁾	$V_{CC}=3.3V$	150	mA
		$V_{CC}=5V$	150	
I_{VSS}	经过 V_{SS} 地线的总电流（流出电流） ⁽¹⁾	$V_{CC}=3.3V$	150	
		$V_{CC}=5V$	150	
I_{IO}	任意 I/O 和控制引脚上的输出灌电流	$V_{CC}=3.3V$	25	
		$V_{CC}=5V$	25	
	任意 I/O 和控制引脚上的输出拉电流	$V_{CC}=3.3V$	-25	
		$V_{CC}=5V$	-25	

- 所有的电源（ V_{DD} , V_{DDA} ）和地（ V_{SS} , V_{SSA} ）引脚必须始终连接到允许范围内的外部供电系统上。

2. 反向注入电流会干扰器件的模拟性能。
3. 当 $V_{IN} > V_{DD}$ 时，有一个正向注入电流。

表 5.3 温度特性

符号	描述	数值	单位
T_{STG}	储存温度范围	-65 到+150	°C
T_J	最大结温度	150	°C

5.3 工作条件

5.3.1 通用工作条件

表 5.4 通用工作条件

符号	参数	条件	最小值	最大值	单位
f_{HCLK}	内部 AHB 时钟频率	-	0	80	MHz
f_{PCLK1}	内部 APB1 时钟频率	-	0	80	
f_{PCLK2}	内部 APB2 时钟频率	-	0	80	
V_{DD}	标准工作电压	-	2	5.5	V
$V_{DDA}^{(1)}$	模拟部分工作电压（不使用 ADC 或 OPA 或 PGA 或 CMP）	必须与 V_{DD} 相同	2	5.5	
	模拟部分工作电压（使用 ADC 或 OPA 或 PGA 或 CMP）		2.5	5.5	
P_D	功率耗散 $T_A = 105^\circ\text{C}^{(3)}$	LQFP64	-	444	mW
		LQFP80	-	-	
T_A	环境温度	最大/低功率耗散	-40	105	°C
T_J	结温度范围	-	-40	105	

1. 当使用 ADC 时，参考 ADC 特性。
2. 建议使用相同的电源为 V_{DD} 和 V_{DDA} 供电，在上电和正常操作期间， V_{DD} 和 V_{DDA} 之间最多允许有 50mV 的差别。

5.3.2 上电和断电时操作条件

下表中给出的参数是在一般的工作条件下测试得出。

表 5.5 上电和掉电时的工作条件

符号	参数	条件 ⁽¹⁾	最小值	最大值	单位
t_{VDD}	VDD 上升速率	-	0.003	200	ms/V
	VDD 下降速率		0.04	∞	

1. 除非特别说明， $V_{DD} = 3.3V/5V$ ， $T_A = -40^\circ\text{C}$ 到 105°C 。

5.3.3 内置复位和电源控制模块特性

下表中给出的参数是依据表 5.4 列出的环境温度下和 V_{DD} 供电电压下测试得出。

表 5.6 内置复位和电源控制块特性

符号	条件	最小值	典型值	最大值	单位	
V _{PVD}	可编程的电压检测器的电平选择	PLS[2:0] = 000(上升沿)	-	2.18	-	V
		PLS[2:0] = 001(上升沿)	-	2.52	-	
		PLS[2:0] = 010(上升沿)	-	2.86	-	
		PLS[2:0] = 011(上升沿)	-	3.22	-	
		PLS[2:0] = 100(上升沿)	-	3.56	-	
		PLS[2:0] = 101(上升沿)	-	3.92	-	
		PLS[2:0] = 110(上升沿)	-	4.28	-	
		PLS[2:0] = 111(上升沿)	-	4.64	-	
		PLS[2:0] = 000(下降沿)	-	2.08	-	
		PLS[2:0] = 001(下降沿)	-	2.42	-	
		PLS[2:0] = 010(下降沿)	-	2.76	-	
		PLS[2:0] = 011(下降沿)	-	3.12	-	
		PLS[2:0] = 100(下降沿)	-	3.46	-	
		PLS[2:0] = 101(下降沿)	-	3.82	-	
		PLS[2:0] = 110(下降沿)	-	4.18	-	
PLS[2:0] = 111(下降沿)	-	4.54	-			
V _{PVDhyst} ⁽²⁾	PVD 迟滞	-	300	-	mV	
V _{POR/PDR}	上电/掉电复位阈值	上升沿	1.91	1.95	1.96	V
		下降沿	1.83 ⁽¹⁾	1.86	1.87	
V _{PDRhyst} ⁽²⁾	PDR 迟滞	-	100	-	mV	
T _{RSTTEMPO} ⁽²⁾	复位持续时间	-	1	2.5	4.5	ms

1. 产品的特性由设计保证至最小的数值 V_{POR/PDR0}。
2. 由设计保证。

5.3.4 内部参考电压

下表中给出的参数是依据表 5.4 列出的环境温度下和 VDD 供电电压下测试得出。

表 5.7 内置的参照电压

符号	参数	条件	最小值	典型值	最大值	单位
V _{REFINT}	内部参考电压	-40 °C < T _A < +105 °C, VDD = 3.3V/5V	1.16	1.2	1.26	V
T _{S_vrefint} ⁽¹⁾	当读出内部参考电压时, ADC 的采样时间	-	-	5.1	17.1 ⁽²⁾	us
V _{REFINT} ⁽²⁾	温度范围内的内部参考电压分布	-40 °C < T _A < +125 °C, VDD = 3.3V/5V	-		15	mV
T _{COEFF} ⁽²⁾	温度系数	-	-	25	75	ppm/°C

1. 最短的采样时间是通过应用中的多次循环得到。
2. 由设计保证。

5.3.5 供电电流特性

电流消耗是多种参数和因素的综合指标，这些参数和因素包括工作电压、环境温度、I/O 引脚的负载、产品的软件配置、工作频率、I/O 脚的翻转速率、程序在存储器中的位置以及执行的代码等。

电流消耗的测量方法说明如图 5.4 所示。

表 5.8 睡眠模式下的最大电流消耗，代码从 FLASH 运行

符号	参数	条件	f _{HCLK}	最大值 ⁽¹⁾	单位
				T _A =125°C	
I _{DD}	睡眠模式下供电电流	VCC=3.3V, 内部时钟 ⁽²⁾ , 全部外设使能	80MHz	20	mA
		VCC=3.3V, 内部时钟 ⁽²⁾ , 全部外设不使能	80MHz	7	
		VCC=5V, 内部时钟 ⁽²⁾ , 全部外设使能	80MHz	22	
		VCC=5V, 内部时钟 ⁽²⁾ , 全部外设不使能	80MHz	8.5	

1. 由综合评估保证。
2. 外部时钟是 8 Mhz, 当 f_{HCLK} > 8 Mhz 时, PLL 打开。

表 5.9 运行模式下的最大电流消耗，数据处理代码从 FLASH 运行

符号	参数	条件	f _{HCLK}	最大值 ⁽¹⁾	单位
				T _A =125°C	
I _{DD}	运行模式下供电电流	VCC=3.3V, 内部时钟 ⁽²⁾ , 全部外设使能	80MHz	49.5	mA
		VCC=3.3V, 内部时钟 ⁽²⁾ , 全部外设不使能	80MHz	20	
		VCC=5V, 内部时钟 ⁽²⁾ , 全部外设使能	80MHz	52.5	
		VCC=5V, 内部时钟 ⁽²⁾ , 全部外设不使能	80MHz	24	

1. 基于综合评估，并在生产中测试。
2. 内部时钟是 8 Mhz, 当 f_{HCLK} > 8 Mhz 时, PLL 打开。

表 5.10 停止模式和待机模式下的典型和最大电流消耗

符号	参数	条件		典型值 ⁽¹⁾	最大值	单位	
					T _A =125°C		
I _{DD}	停机模式下 供电电流	调压器处于运行模式，低速和高速内部 RC 振荡器和高速振荡器关闭（没有独立看门狗）		V _{DD} = 3.3V	32	605	uA
				V _{DD} = 5V	33.5	621	
	待机模式下的 供电电流	低速内部 RC 振荡器和独立看门狗开启		V _{DD} = 3.3V	2.55	85	
				V _{DD} = 5V	3.15	95.0	
		低速内部 RC 振荡器开启，独立看门狗关闭		V _{DD} = 3.3V	2.4	75	
				V _{DD} = 5V	3.05	90	
		低速内部 RC 振荡器和独立看门狗关闭，低速振荡器和 RTC 关闭		V _{DD} = 3.3V	3.0	65 ⁽²⁾	
				V _{DD} = 5V	2.88	70 ⁽²⁾	

1. 在 T_A = 25°C 时测量典型值。
2. 由设计保证。

5.3.6 内部时钟源特性

 表 5.11 高速内部 RC (HSI) 振荡器特性⁽¹⁾

符号	描述	条件		最小值	典型值	最大值	单位
f _{HSI}	频率	-		-	8	-	MHz
DuCy _(HSI)	占空比	-		45%	50%	55%	%
ACC _{HSI}	HSI 振荡器的精度	用户可用 HRCADJ 寄存器调整 ⁽²⁾		-	-	1 ⁽³⁾	%
		工厂校准 ⁽⁴⁾	T _A = -40 到 105 °C	-1.5	-	1.5	%
t _{su(HSI)} ⁽⁴⁾	HSI 振荡器启动时间	-		1	-	2	μs
I _{DD(HSI)} ⁽⁴⁾	HSI 振荡器功耗	-		-	100	200	μA

1. V_{DD} = 5 V, T_A = -40 到 105°C, 除非特别说明。
2. 参考参考手册。
3. 由设计保证。
4. 由综合评估保证。

表 5.12 LSI 振荡器特性⁽¹⁾

符号	描述	最小值	典型值	最大值	单位
$f_{LSI}^{(2)}$	频率	30(-25%)	40	60(+50%)	kHz
$t_{su(LSI)}^{(3)}$	LSI 振荡器启动时间	-	-	85	μs
$I_{DD(LSI)}^{(3)}$	LSI 振荡器功耗	-	0.6	2	μA

1. $V_{DD} = 5V$, $T_A = -40$ 到 $105^{\circ}C$, 除非特别说明。
2. 由综合评估保证。
3. 由设计保证。

从低功耗模式唤醒时间

下表的唤醒时间是在使用 HSI 作为时钟源的情况下进行测量的。实际应用中，芯片被唤醒后的时钟源与当前运行模式有关：

停止或待机模式：时钟源是 HSI。

睡眠模式：时钟源保持与进入睡眠模式前一致

表 5.13 低功耗模式的唤醒时间

符号	描述	典型值	单位
$t_{WUSLEEP}^{(1)}$	从睡眠模式唤醒	1.2	μs
$t_{WUST}^{(1)}$	从停机模式唤醒	21	μs
$t_{WUSTDBY}^{(1)}$	从待机模式唤醒	2	ms

1. 唤醒时间的测量是从唤醒事件开始至用户程序读取第一条指令。

5.3.7 PLL 特性

表 5.14 PLL 特性

符号	描述	最小值 ⁽¹⁾	典型值	最大值 ⁽¹⁾	单位
f_{PLL_IN}	PLL 输入时钟 ⁽²⁾	1	8	25	MHz
	PLL 输入时钟占空比	40	-	60	%
f_{PLL_OUT}	PLL 倍频输出时钟	32	-	80	MHz
t_{LOCK}	PLL 锁相时间	-	-	200	μs
Jitter	相邻周期间抖动	-	-	300	ps

1. 由设计保证。
2. 需要注意使用正确的倍频系数，从而根据 PLL 输入时钟频率使得 f_{PLL_OUT} 处于允许范围内。

5.3.8 存储器特性

表 5.15 FLASH 特性

符号	描述	条件	最小值 ⁽¹⁾	典型值	最大值 ⁽¹⁾	单位
t_{prog}	一个字节编程时间	$T_A = -40$ 到 $105^{\circ}C$	6	-	7.5	μs
t_{ERASE}	扇区擦除时间	$T_A = -40$ 到 $105^{\circ}C$	4	-	5	ms
	芯片擦除时间	$T_A = -40$ 到 $105^{\circ}C$	30	-	40	
t_{ME}	整片擦除时间	$T_A = -40$ 到 $105^{\circ}C$	30	-	40	μs
I_{DD}	供电电流	读模式 40MHz	-	-	3.5	mA
		写/擦除模式	-	-	3.5	

符号	描述	条件	最小值 ⁽¹⁾	典型值	最大值 ⁽¹⁾	单位
		待机电流	-	1.5	-	
		深度待机电流	-	0.5	3uA@85 °C 15uA@125 °C	μA

1. 由设计保证。

表 5.16 FLASH 寿命和数据保存期限

符号	描述	条件	最小值 ⁽¹⁾	单位
N _{END}	寿命（擦写次数）	T _A = -40 到 105 °C	20	千次
t _{RET}	数据保存期限	T _A = 25 °C	100	年
		T _A = 85 °C	20	
		T _A = 125 °C	10	

1. 由设计保证。

5.3.9 EMC 特性

表 5.17 EMS 特性

符号	描述	条件	最大绝对值
V _{FESD}	施加到任意 I/O 脚，从而导致功能错误的电压极限。	V _{DD} = 5V, LQFP80, T _A = +25 °C, f _{HCLK} = 80MHz。符合 IEC61000-4-2	3000 V
V _{EFTB}	在 V _{DD} 和 V _{SS} 上通过 100pF 的电容施加的、导致功能错误的瞬变脉冲群电压极限。	V _{DD} = 5V, LQFP80, T _A = +25 °C, f _{HCLK} = 80MHz。符合 IEC61000-4-4	4000 V

5.3.10 电气敏感性

表 5.18 ESD 绝对最大值

符号	描述	条件	最大值	单位
V _{ESD(HBM)}	静电放电电压（人体模型）	T _A = +25 °C, 符合 JESD22-A114	7000	V
V _{ESD(CDM)}	静电放电电压（充电设备模型）	T _A = +25 °C, 符合 JESD22-C101	800	

表 5.19 电气敏感性

符号	描述	条件	最大值	单位
LU	静态栓锁类	T _A = +125 °C, 符合 JESD 78A	±200	mA

5.3.1 IO 注入电流特性

负注入电流是在 V_{in} < V_{ss} 时引入电流，GPIOx 最大负电流是 -8 mA，且可接受最小 V_{in} 电压电平为 -150 mV。

正注入电流是在 V_{in} > V_{dd} 时引入电流，标注“+0”表示注入电流会导致 GPIO 损坏。

表 5.20 IO 电流注入易感性

符号	描述	功能易感性		单位
		负注入	正注入	
V_{INJ}	单个 GPIO 注入电流	-8	+0	mA

1. 设计保证

5.3.2 IO 端口特性

表 5.21 IO 静态特性

符号	描述	条件	最小值	典型值	最大值	单位
V_{IL}	标准 I/O 引脚, 输入低电平电压	-	-0.5	-	$0.35V_{DD}$	V
V_{IH}	标准 I/O 引脚, 输入高电平电压	-	$0.65V_{DD}$	-	$V_{DD}+0.5$	
V_{hys}	标准 I/O 施密特触发器电压迟滞 ⁽¹⁾	$V_{DD} = 3.3V$	200	-	-	mV
		$V_{DD} = 5V$	$5\%V_{DD}^{(2)}$	-	-	mV
I_{leak}	输入漏电流 ⁽³⁾	$V_{SS} \leq V_{IN} \leq V_{DD}$ 标准 I/O	-	-	± 1	μA
R_{PU}	弱上拉等效电阻 ⁽⁴⁾	$V_{IN} = V_{SS}$	30	40	50	k Ω
R_{PD}	弱下拉等效电阻 ⁽⁴⁾	$V_{IN} = V_{DD}$	30	40	50	
C_{IO}	IO 引脚的电容	-	-	5	-	pF

- 施密特触发器开关电平的迟滞电压。由综合评估得出, 不在生产中测试。
- 至少 100mV。
- 如果在相邻引脚有反向电流倒灌, 则漏电流可能高于最大值。
- 上拉和下拉电阻是设计为一个真正的电阻串联一个可开关的 PMOS/NMOS 实现。这个 PMOS/NMOS 开关的电阻很小。

表 5.22 输出电压特性

符号	描述	条件	最小值	最大值	单位
$V_{OL}^{(1)}$	输出低电平, 当 8 个引脚同时吸收电流	$V_{DD} = 2.7$ 到 $5.5V, I_{IO} = +8mA$	-	0.4	V
$V_{OH}^{(2)}$	输出高电平, 当 8 个引脚同时输出电流		$V_{DD}-0.4$	-	
$V_{OL}^{(1)(3)}$	输出低电平, 当 8 个引脚同时吸收电流	$V_{DD} = 2.7$ 到 $5.5V, I_{IO} = +20mA$	-	1.3	
$V_{OH}^{(1)(3)}$	输出高电平, 当 8 个引脚同时输出电流		$V_{DD}-1.3$	-	
$V_{OL}^{(2)(3)}$	输出低电平, 当 8 个引脚同时吸收电流	$V_{DD} = 2$ 到 $2.7V, I_{IO} = +6mA$	-	0.4	
$V_{OH}^{(2)(3)}$	输出高电平, 当 8 个引脚同时输出电流		$V_{DD}-0.4$	-	

- 芯片吸收的电流 I_{IO} 必须始终遵循电流特性表中给出的绝对最大额定值。
- 芯片输出的电流 I_{IO} 必须始终遵循电流特性表中给出的绝对最大额定值, 同时 I_{IO} 的总和(所有 I/O 脚和控制脚)不能超过 I_{VDD} 。
- 由综合评估得出。

表 5.23 IO 交流特性

MODEx[1:0] 的配置 ⁽¹⁾	符号	描述	条件	最小值	最大值	单位	
01/00	$f_{\max(\text{IO})\text{out}}$	最大频率	$C_L = 50 \text{ pF}$, $V_{DD} = 2 \text{ 到 } 5.5\text{V}$	-	2	MHz	
	$t_{\text{r}(\text{IO})\text{out}}$	输出高至低电平的下降时间	$C_L = 50 \text{ pF}$, $V_{DD} = 2 \text{ 到 } 5.5\text{V}$	-	125 ⁽²⁾	ns	
	$t_{\text{r}(\text{IO})\text{out}}$	输出低至高电平的上升时间	$C_L = 50 \text{ pF}$, $V_{DD} = 2 \text{ 到 } 5.5\text{V}$	-	125 ⁽²⁾		
10	$f_{\max(\text{IO})\text{out}}$	最大频率	$C_L = 50 \text{ pF}$, $V_{DD} = 2 \text{ 到 } 5.5\text{V}$	-	10	MHz	
	$t_{\text{r}(\text{IO})\text{out}}$	输出高至低电平的下降时间	$C_L = 50 \text{ pF}$, $V_{DD} = 2 \text{ 到 } 5.5\text{V}$	-	25 ⁽²⁾	ns	
	$t_{\text{r}(\text{IO})\text{out}}$	输出低至高电平的上升时间	$C_L = 50 \text{ pF}$, $V_{DD} = 2 \text{ 到 } 5.5\text{V}$	-	25 ⁽²⁾		
11	$f_{\max(\text{IO})\text{out}}$	最大频率	$C_L = 30 \text{ pF}$, $V_{DD} = 3 \text{ 到 } 5.5\text{V}$	-	50	MHz	
			$C_L = 50 \text{ pF}$, $V_{DD} = 3 \text{ 到 } 5.5\text{V}$	-	30		
			$C_L = 50 \text{ pF}$, $V_{DD} = 2 \text{ 到 } 2.7\text{V}$	-	20		
	$t_{\text{r}(\text{IO})\text{out}}$	输出高至低电平的下降时间	$C_L = 30 \text{ pF}$, $V_{DD} = 2.7 \text{ 到 } 5.5\text{V}$	-	6 ⁽²⁾	ns	
			$C_L = 50 \text{ pF}$, $V_{DD} = 2.7 \text{ 到 } 5.5\text{V}$	-	9 ⁽²⁾		
			$C_L = 50 \text{ pF}$, $V_{DD} = 2 \text{ 到 } 2.7\text{V}$	-	16 ⁽²⁾		
	$t_{\text{r}(\text{IO})\text{out}}$	输出低至高电平的上升时间	$C_L = 30 \text{ pF}$, $V_{DD} = 2.7 \text{ 到 } 5.5\text{V}$	-	6 ⁽²⁾		
			$C_L = 50 \text{ pF}$, $V_{DD} = 2.7 \text{ 到 } 5.5\text{V}$	-	9 ⁽²⁾		
			$C_L = 50 \text{ pF}$, $V_{DD} = 2 \text{ 到 } 2.7\text{V}$	-	16 ⁽²⁾		
-	$t_{\text{EXTI}pw}$	EXTI 控制器检测到外部信号的脉冲宽度	-	10	-		ns

1. I/O 端口的速度可以通过 MODEx[1:0]配置。

2. 由设计保证。

5.3.3 NRST 引脚特性

表 5.24 NRST 引脚特性

符号	描述	条件	最小值	典型值	最大值	单位
$V_{IL(NRST)}^{(1)}$	NRST 输入低电平电压	VCC=5V	-0.5		2.17	V
		VCC=3.3V	-0.5	-	1.44	
$V_{IH(NRST)}^{(1)}$	NRST 输入高电平电压	VCC=5V	2.5	-	$V_{DD}+0.5$	
		VCC=3.3V	2.3			
$V_{hys(NRST)}$	NRST 施密特触发器电压迟滞 ⁽²⁾	VCC=5V	-	290	-	mV
		VCC=3.3V	-	260	-	
R_{PU}	弱上拉等效电阻	$V_{IN} = V_{SS}$	30	40	50	k Ω
$V_{F(NRST)}^{(1)}$	NRST 输入滤波脉冲	-	-	-	150	ns
$V_{NF(NRST)}^{(1)}$	NRST 输入非滤波脉冲	-	200	-	-	ns

1. 由设计保证。
2. 上拉电阻是设计为一个真正的电阻串联一个可开关的 PMOS 实现。这个 PMOS 开关的电阻很小。

5.3.4 TIM 定时器特性

表 5.25 TIMx 特性

符号	描述	条件	最小值	最大值	单位
$t_{res(TIM)}$	定时器分辨时间	-	1	-	$t_{TIMxCLK}$
		$f_{TIMxCLK} = 80\text{ MHz}$	12.5	-	ns
f_{EXT}	CH1 至 CH4 的定时器外部时钟频率	-	0	$f_{TIMxCLK}/2$	MHz
		$f_{TIMxCLK} = 80\text{ MHz}$	0	40	MHz
Re_{STIM}	定时器分辨率	-	-	16	bit
$t_{counter}$	当选择了内部时钟时，16 位计数器时钟周期	-	1	65536	$t_{TIMxCLK}$
		$f_{TIMxCLK} = 80\text{ MHz}$	0.0125	819	μs
t_{MAX_COUN} T	最大可能的计数	-	-	65536×65536	$t_{TIMxCLK}$
		$f_{TIMxCLK} = 80\text{ MHz}$	-	53.7	s

1. TIMx 是一个通用的名称，代表 TIM1-TIM4。

5.3.5 通信接口

I2C 接口特性:

 表 5.26 I2C 接口特性⁽¹⁾

符号	描述	最小值	最大值	单位
f_{SCL}	SCL 时钟频率	0	400	KHz
$t_{w(SCLL)}$	SCL 低电平宽度	4.7	-	μs
$t_{w(SCLH)}$	SCL 高电平宽度	4	-	

$t_{su(SDA)}$	SDA 建立时间	250	-	ns
$t_h(SDA)$	SDA 数据保持时间	-	3450 ⁽²⁾	
$t_r(SDA)$ $t_r(SCL)$	SDA 和 SCL 上升时间	-	1000	
$t_f(SDA)$ $t_f(SCL)$	SDA 和 SCL 下降时间	-	300	
$t_{su(STA)}$	重复起始条件建立时间	4.7	-	μs
$t_{su(STO)}$	停止条件建立时间	4	-	μs
$t_w(STO.STA)$	停止到起始条件时间	4.7	-	μs
C_b	单条总线负载电容	-	400	pF

1. 标准 I2C 模式。
2. 必须保证在 SCL 高电平区间 SDA 保持稳定电平。

 表 5.27 SCL 频率 ($f_{PCLK1} = 36MHz$, $V_{DD,I2C} = 3.3V/5V$)

$f_{SCL}(KHz)$	I2C_CCR
	$R_p = 4.7 k\Omega$
400	0x801E
300	0x8028
200	0x803C
100	0x00B4
50	0x0168
20	0x0384

1. R_p = 外部上拉电阻, f_{SCL} = I2C 速度。
2. 对于 200 KHz 左右的速度, 所达到的速度的公差位 $\pm 5\%$ 。对于其他速度范围, 速度公差为 $\pm 2\%$ 。这个变量取决于应用设计时采用的外部组件的准确性。

SPI 接口特性:

表 5.28 SPI 特性

符号	描述	条件	最小值	最大值	单位
f_{SCK}	SPI 时钟频率	主模式	-	10	MHz
$1/t_c(SCK)$		从模式	-	10	
$t_r(SCK)$ $t_f(SCK)$	SPI 时钟上升和下降时间	负载电容: $C = 30 pF$	12	-	ns
DuCy	SPI 从模式输入占空比	从模式	30	70	%
$t_{su(NSS)}^{(1)}$	NSS 建立时间	从模式	$4t_{PCLK}$	-	ns
$t_h(NSS)^{(1)}$	NSS 保持时间	从模式	$2t_{PCLK}$	-	
$t_w(SCKH)^{(1)}$ $t_w(SCKL)^{(1)}$	SCK 高和低的时间	主模式, $f_{PCLK} = 36 MHz$, $presc = 4$	50	60	
$t_{su(MI)}^{(1)}$ $t_{su(SI)}^{(1)}$					
$t_h(MI)^{(1)}$ $t_h(SI)^{(1)}$	数据输入保持时间	从模式	5	-	
			主模式	17	
		从模式	6	-	

符号	描述	条件	最小值	最大值	单位
$t_{a(SO)}^{(1)(2)}$	数据输出访问时间	从模式, $f_{PCLK} = 20 \text{ MHz}$	0	$3t_{PCLK}$	
$t_{dis(SO)}^{(1)(3)}$	数据输出禁止时间	从模式	$3t_{PCLK}$	$4t_{PCLK}$	
$t_{v(SO)}^{(1)}$	数据输出有效时间	从模式 (使能边沿之后)	-	25	
$t_{v(MO)}^{(1)}$	数据输出有效时间	主模式 (使能边沿之后)	-	5	
$t_{h(SO)}^{(1)}$	数据输出保持时间	从模式 (使能边沿之后)	4	-	
$t_{h(MO)}^{(1)}$		主模式 (使能边沿之后)	-1	-	

- 由综合评估得出, 不在生产中测试。
- 最小值表示驱动输出的最小时间, 最大值表示正确获得数据的最大时间。
- 最小值表示关闭输出的最小时间, 最大值表示把数据线置于高阻态的最大时间。

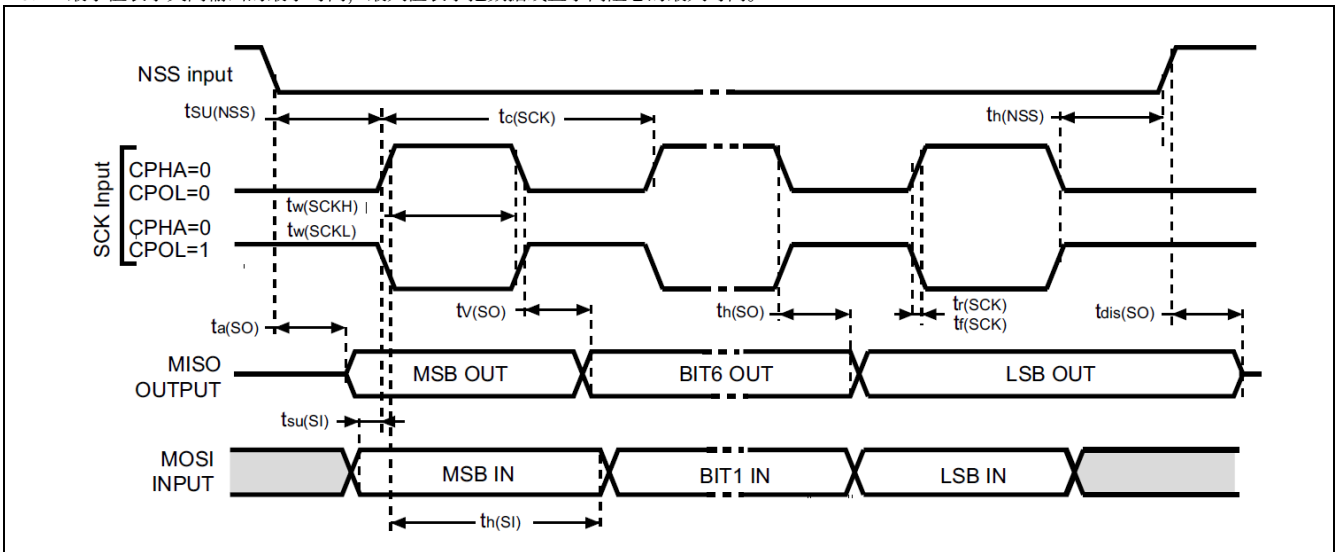


图 5.5 SPI 时序图-从模式和 CPHA=0

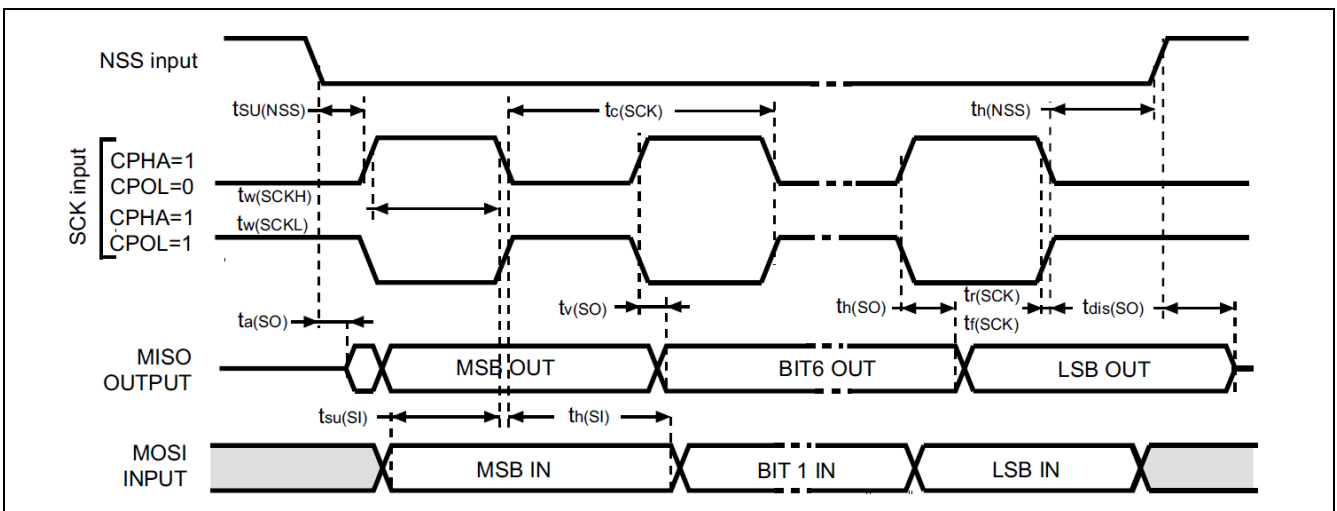


图 5.6 SPI 时序图-从模式和 CPHA=1

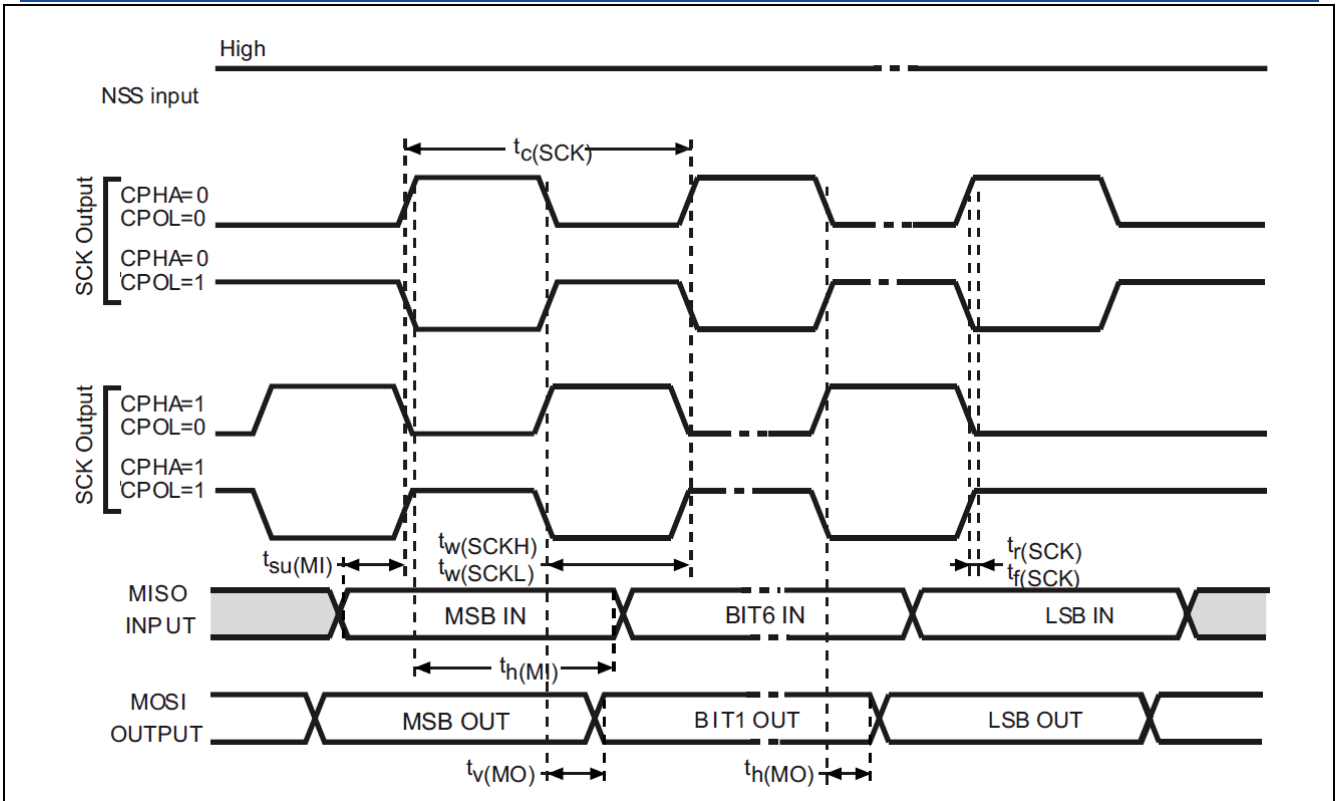


图 5.7 SPI 时序图-主模式

5.3.6 CAN (控制器局域网总线) 接口

表 5.29 CAN 接口位定时

符号	描述	条件	最小值	最大值	单位
f_B	位定时	$PCLK=8M, t_{(BS1)}=4t_q, t_{(BS2)}=3t_q, t_q=t_{PCLK}$	-	1	MHz

5.3.7 ADC 特性

表 5.30 ADC 特性

符号	描述	条件	最小值	典型值	最大值	单位
V_{DDA}	供电电压	-	2.5	-	5.5	V
V_{REF+}	正参考电压	-	2.5	-	V_{DDA}	V
V_{REF-}	负参考电压	-	0			V
I_{VREF}	在 V_{REF+} 输入引脚上的电流	-	-	160 ⁽¹⁾	220 ⁽¹⁾	μA
f_{ADC}	ADC 时钟频率	-	0.6	-	14	MHz
$f_S^{(2)}$	采样速率	-	0.05	-	1	MHz
$f_{TRIG}^{(2)}$	外部触发频率	$f_{ADC} = 14MHz$	-	-	823	kHz
			-	-	17	$1/f_{ADC}$
V_{AIN}	转换电压范围	-	0	-	V_{REF+}	V
R_{AIN}	外部输入阻抗	-	-	-	50	$k\Omega$
$R_{ADC}^{(2)}$	采样开关电阻	-	-	-	1	$k\Omega$

符号	描述	条件	最小值	典型值	最大值	单位
$C_{ADC}^{(2)}$	内部采样和保持电容	-	-	8.7	-	pF
$t_{CAL}^{(2)}$	校准时间	$f_{ADC} = 14 \text{ MHz}$	5.9			μs
		-	83			$1/f_{ADC}$
$t_{lat}^{(2)}$	注入触发转换时延	$f_{ADC} = 14 \text{ MHz}$			0.214	μs
		-			3 ⁽⁴⁾	$1/f_{ADC}$
$t_{latr}^{(2)}$	常规触发转换时延	$f_{ADC} = 14 \text{ MHz}$			0.143	μs
		-			2	$1/f_{ADC}$
$t_s^{(2)}$	采样时间	$f_{ADC} = 14 \text{ MHz}$	0.107		17.1	μs
		-	1.5	-	239.5	$1/f_{ADC}$
$t_{STAB}^{(2)}$	上电时间	-	-	-	1	μs
$t_{CONV}^{(2)}$ ()	总的转换时间(包括采样时间)	$f_{ADC} = 14 \text{ MHz}$	1	-	18	μs
		-	14~252(采样 t_s 逐步逼近+12.5)			$1/f_{ADC}$

1. 由综合评估得出，不在生产中测试。
2. 由设计保证。
3. 部分引脚封装中， V_{REF+} 在内部连接到 V_{DDA} ， V_{REF-} 在内部连接到 V_{SSA0} 。
4. 对于外部触发，必须在上表列出的时延中加上一个延迟 $1/f_{PCLK20}$ 。

 表 5.31 $f_{ADC} = 14\text{MHz}$ 时的最大 R_{AIN}

T_s (周期)	t_s (μs)	最大 R_{AIN} ($k\Omega$)
1.5	0.11	0.4
7.5	0.54	5.9
13.5	0.96	11.4
28.5	2.04	25.2
41.5	2.96	37.2
55.5	3.96	50
71.5	5.11	NA
239.5	17.1	NA

表 5.32 ADC 精度-限制测试条件

符号	描述	条件	典型值	最大值	单位
ET	综合偏差	$f_{PCLK2} = 40 \text{ MHz}$, $V_{DDA} = 3\text{V}$ 到 5V , $f_{ADC} = 14\text{MHz}$, $R_{AIN} < 10 \text{ k}\Omega$, $T_A = 25^\circ\text{C}$, 测量是在 ADC 校准之后进行的, $V_{REF+} = V_{DDA}$	± 1.3	± 3	LSB
EO	偏移误差		± 1	± 2	
EG	增益误差		± 0.5	± 1.5	
ED	微分线性误差		± 0.68	± 1.6	
EL	积分线性误差		± 1.3	± 1.4	

1. ADC 的直流精度数值是在经过内部校准后测量的。
2. ADC 精度与反向注入电流的关系：需要避免在任何标准的模拟输入引脚上注入反向电流，因为这样会显著地降低另一个模拟输入引脚上正在进行的转换精度。建议在可能产生反向注入电流的标准模拟引脚上，（引脚与地之间）增加一个肖特基二极管。
3. 由设计保证。

5.3.8 温度传感器特性

表 5.33 温度传感器特性

睿兴科技（南京）有限公司

符号	描述	条件 ⁽¹⁾	最小值	典型值	最大值	单位
T_L	V_{SENSE} 相对于温度的线性度	-	-	± 1	± 2	$^{\circ}\text{C}$
$A_{\text{Avg_Slope}}$	平均斜率	-	3.65	3.7	3.74	$\text{mV}/^{\circ}\text{C}$
V_{25}	在 25°C 时的电压	-	1.18	1.55	1.79	V
$T_{\text{start}}^{(2)}$	启动时间	-	4	-	10	μs
$T_{\text{S_temp}}^{(2)(3)}$	当读取温度时, ADC 采样时间	-	-	-	17.1	μs

1. 除非另有说明, $V_{\text{DD}} = 3.3\text{V}/5\text{V}$, $T_A = -40$ 到 125°C 。
2. 由设计保证。
3. 最短的采样时间可以由应用程序通过多次循环决定。

5.3.9 OPAMP 特性

表 5.34 OPAMP 特性

符号	描述	条件	最小值	典型值	最大值	单位
V_{DD5}	模拟供电电压	-	2.5	3.3	5.5	V
CMIR	共模输入范围	-	0	-	V_{DD}	V
V_{IOFFSET}	输入偏移电压	校正前	-	9	-	mV
C_{LOAD}	负载电容	-	-	-	50	pF
PSRR	电源抑制比	$C_{\text{LOAD}}=50\text{pF}$, $V_{\text{CM}}=V_{\text{DD}}/2$;100KHz 输入	-	130	-	dB
GBW	增益带宽乘积	$100\text{mV} \leq \text{输出动态范围} \leq V_{\text{DDA}} - 100\text{mV}$, Unit Gain, $C_{\text{LOAD}}=50\text{pF}$	4	10	16	MHz
$\text{SR}^{(2)}$	转换速率(从输出电压的 10% 到 90%)	$C_{\text{LOAD}}=50\text{pF}$, $R_{\text{LOAD}}=4\text{K}$, $V_{\text{CC}}=3.3\text{V}/5\text{V}$	-	17	45	V/us
AO	开环增益	$100\text{mV} \leq \text{输出动态范围} \leq V_{\text{DDA}} - 100\text{mV}$	18	60	70	dB
$V_{\text{OHSAT}}^{(2)}$	高饱和电压	$R_{\text{LOAD}}=4\text{k}$, 输入为 V_{DD}	$V_{\text{DD}} - 300$	-	-	mV
$V_{\text{OLSAT}}^{(2)}$	低饱和电压	$R_{\text{LOAD}}=4\text{k}$, 输入为 0V	-	-	300	
ϕ_m	相位裕度	-	40	55	-	$^{\circ}$
$T_{\text{WAKEUP}}^{(2)}$	从关闭状态唤醒时间 (单位增益)	$C_{\text{LOAD}}=50\text{pF}/R_{\text{LOAD}}=4\text{K}$, 电流源唤醒	-	3.5	-	us
		$C_{\text{LOAD}}=50\text{pF}/R_{\text{LOAD}}=4\text{K}$, OPA 唤醒电流源就绪	-	0.48	-	
I_{bias}	OPAMP 输入偏置电流	请看 I/O 静态特性中 I_{leak} 描述				
eN	电压噪声密度 (shuru)	1 kHz, 输出负载 4K Ω	-	80	-	nV/ sqrt(Hz)
		10 kHz, 输出负载 4K Ω	-	30	-	

1. 由设计保证, 除非特别说明。
2. 由综合评估得出。

5.3.10 PGA 特性

 表 5.35 PGA 特性⁽¹⁾

符号	描述	条件	最小值	典型值	最大值	单位	
V_{DD}	供电电压	-	2.5	3.3	5.5	V	
CMIR	共模输入范围	-	0	-	V_{DD}	V	
$V_{I\text{OFFSET}}$	输入偏移电压	-	-	9	-	mV	
AO	开环增益	$100\text{mV} \leq \text{输出动态范围} \leq V_{DDA} - 100\text{mV}$	18	60	70	dB	
PSRR	电源抑制比	100KHz 输入	-	130	-	dB	
φ_m	相位裕度	-	70	80	-	°	
R_{INDIF}	差分输入阻抗	增益=18.1	-	16.6	-	K-ohm	
ICC	工作电流	增益=8, $V_{CC}=3.3\text{V}$	-	1.5	-	mA	
V_{OLR}	输出范围	-	$V_{SS}+0.1$	-	$V_{DD}-0.1$	V	
PGA gain error*	PGA 增益误差	$V_{DD}=5\text{V}$ 输入 100mV	增益=2	-1	-	1	%
			增益=3.96	-1	-	1	
			增益=5.8	-1	-	1	
			增益=7.9	-2	-	2	
			增益=10.4	-2	-	2	
			增益=12.5	-2	-	2	
			增益=15.5	-2	-	2	
			增益=16.8	-2	-	2	
		$V_{DD}=2.5$ 输入 50mV	增益=2	-1	-	1	
			增益=3.96	-1	-	1	
			增益=5.8	-1	-	1	
			增益=7.9	-2	-	2	
			增益=10.4	-2	-	2	
			增益=12.5	-3	-	3	
PGA 增益=2	R2/R1 内阻值 (2)	PGA 增益=2	-	96.3/47.82	-	kΩ/kΩ	
		PGA 增益=3.96	-	115.62/28.56	-		
		PGA 增益=5.8	-	128.4/15.72	-		
		PGA 增益=7.9	-	128.56/15.72	-		
		PGA 增益=10.4	-	133.97/12.12	-		
		PGA 增益=12.5	-	135.93/10.15	-		
		PGA 增益=15.5	-	136.09/8.19	-		
		PGA 增益=16.8	-	136.59/7.53	-		

符号	描述	条件	最小值	典型值	最大值	单位
PGA BW	不同增益的 PGA 带宽	增益=2	7	-	17	MHz
		增益=3.96	6	-	13	
		增益=5.8	5	-	11	
		增益=7.9	3	-	10	
		增益=10.4	3	-	6	
		增益=12.5	2	-	6	
		增益=15.5	2	-	5	
		增益=16.8	2	-	4	
eN	电压噪声密度 (shuru)	1 kHz 进入 ADC	-	80	-	nV/ sqrt(Hz)
		10 kHz 进入 ADC	-	30	-	

1. 由设计保证。
2. R2 是 OPAMP 输出和 OPAMP 反向输入之间的内部电阻。R1 是 OPAMP 反向输入和接地之间的内部电阻。PGA 增益为 $1+R2/R1$ 。

5.3.11 CMP 特性

表 5.36 CMP 特性

符号	描述	条件	最小值	典型值	最大值	单位
V_{DD5}	模拟供电电压	-	2.5	3.3	5.5	V
V_{IN}	比较器输入电压范围	-	0	-	V_{DDA}	
t_{START}	达到传播延迟规范的比较器启动时间	-	-	-	10	us
$t_D^{(2)}$	响应时间： ($V_{DD} = 3.3V$; N 端电平为 1.65V P 端电平与 N 端 100mV 过冲)	高速模式	151	191	244	ns
		中速模式	183	230	276	
		低速模式	243	290	341	
		极低速模式	490	412	372	
$V_{offset}^{(3)}$	比较器偏移误差	全 V_{DDA} 电压范围, 全温度范围	-	-	± 10	mV
V_{hys}	比较器迟滞	HYST=0mV	-	0	-	mV
		HYST=5mV	4.74	5	7.01	
		HYST=10mV	9.25	10	13.8	
		HYST=20mV	14.2	20	25.6	
$I_{DDA}(COMP)$	V_{DDA} 比较器消耗	静态	-	480	645	uA
		带 50 kHz \pm 100mV 过驱动方波信号	-	TBD	-	

1. 由设计保证, 除非特别说明。
2. 典型值是全部比较器传播延迟的平均值。

3. 由综合评估得出。

5.3.12 CRV 特性

表 5.37 CRV 特性

符号	描述	条件	最小值	典型值	最大值	单位
V_{DD}	模拟供电电压	-	2.7	-	5.5	V
V_{REF}	参考供电电压	CRV_VREF_SEL=1 $V_{DD}=5V$	0		4.2	V
		CRV_VREF_SEL=0 $5V \geq V_{DD} > 2.7V$	0		1.2	
$C_L^{(1)}$	负载电容	-	-	14	-	pF
I_{DD}	CRV 电流消耗	-	-	0.7	1	mA
Offset ⁽³⁾	偏置错误	-	-	-	± 2.2	LSB
$t_{EN}^{(3)}$	打开时间 (CRV _{VREF} 发生器)	-	-	-	3	us
$t_{CONV}^{(3)}$	输出电压的稳定时间	-	-	-	2	us
PSRR ⁽¹⁾	V_{DDA} 电源抑制比 (到 V_{DDA}) (静态 DC 测量)	LDO PSR, $C_L=14pF$	-	60	-	dB

1. 由设计保证。

2. 由综合评估得出。

3. 静止模式对应于 DAC 保持稳定的输出水平的状态，以确保没有任何动态的求和发生。

6 封装信息

6.1 LQFP80 封装信息

LQFP 是 80 引脚，12 * 12mm 的薄型四方扁平式封装。

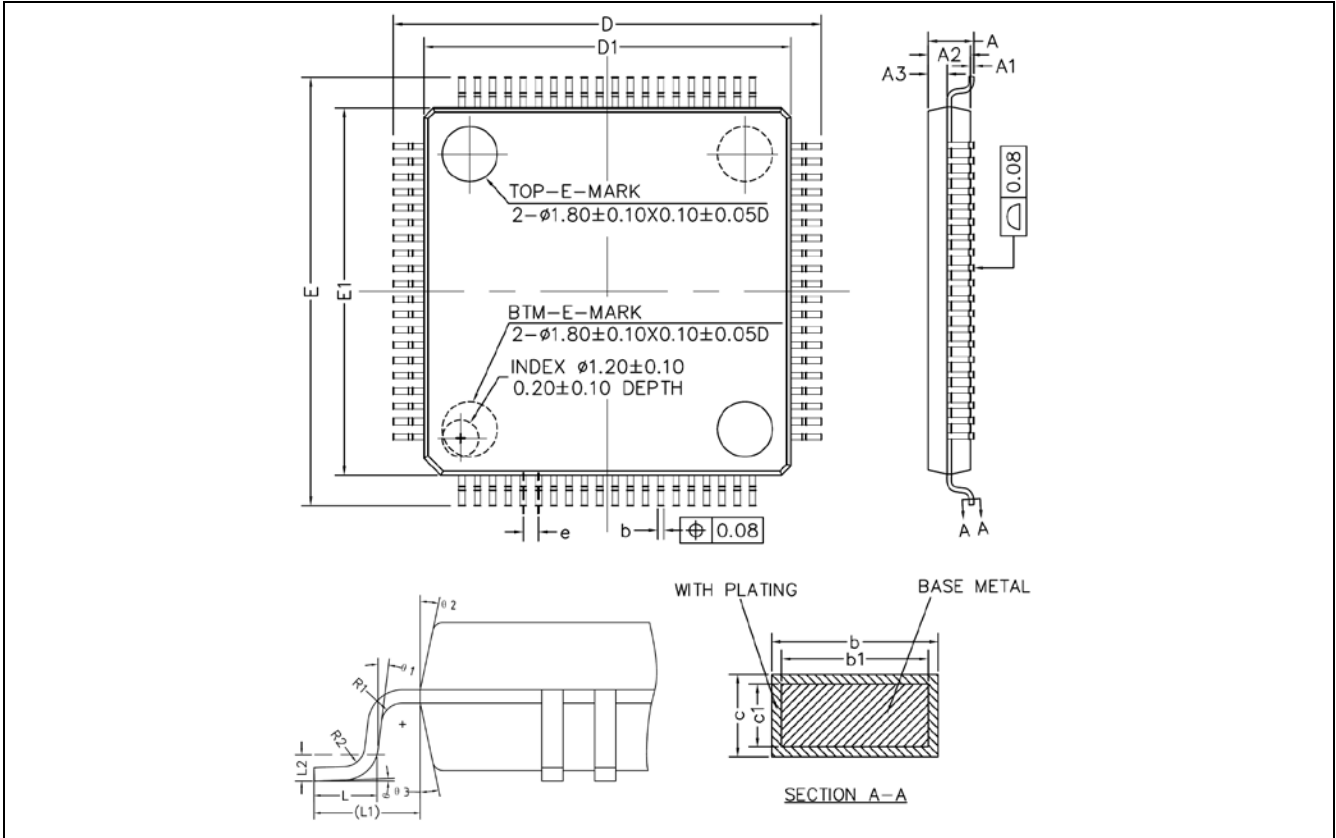


图 6.1 LQFP80 轮廓图

表 6.1 LQFP80 机械数据

符号	最小值 (mm)	典型值 (mm)	最大值 (mm)
A	-	-	1.60
A1	0.05	-	0.15
A2	1.35	1.40	1.45
A3	0.59	0.64	0.69
b	0.18	-	0.27
b1	0.17	0.20	0.23
c	0.13	-	0.18
c1	0.12	0.127	0.134
D	13.80	14.00	14.20
D1	11.90	12.00	12.10
E	13.80	14.00	14.20
E1	11.90	12.00	12.10
e	0.40	0.50	0.60
L	0.45	0.60	0.75

符号	最小值 (mm)	典型值 (mm)	最大值 (mm)
L1	0.990	-	1.010
L2	0.25		
R1	0.08	-	-
R2	0.08	-	0.20
θ	0°	-	-
θ_1	11°	12°	13°
θ_2	11°	12°	13°

6.1 LQFP64 封装信息

LQPF 是 64 引脚，10 * 10mm 的薄型四方扁平式封装。

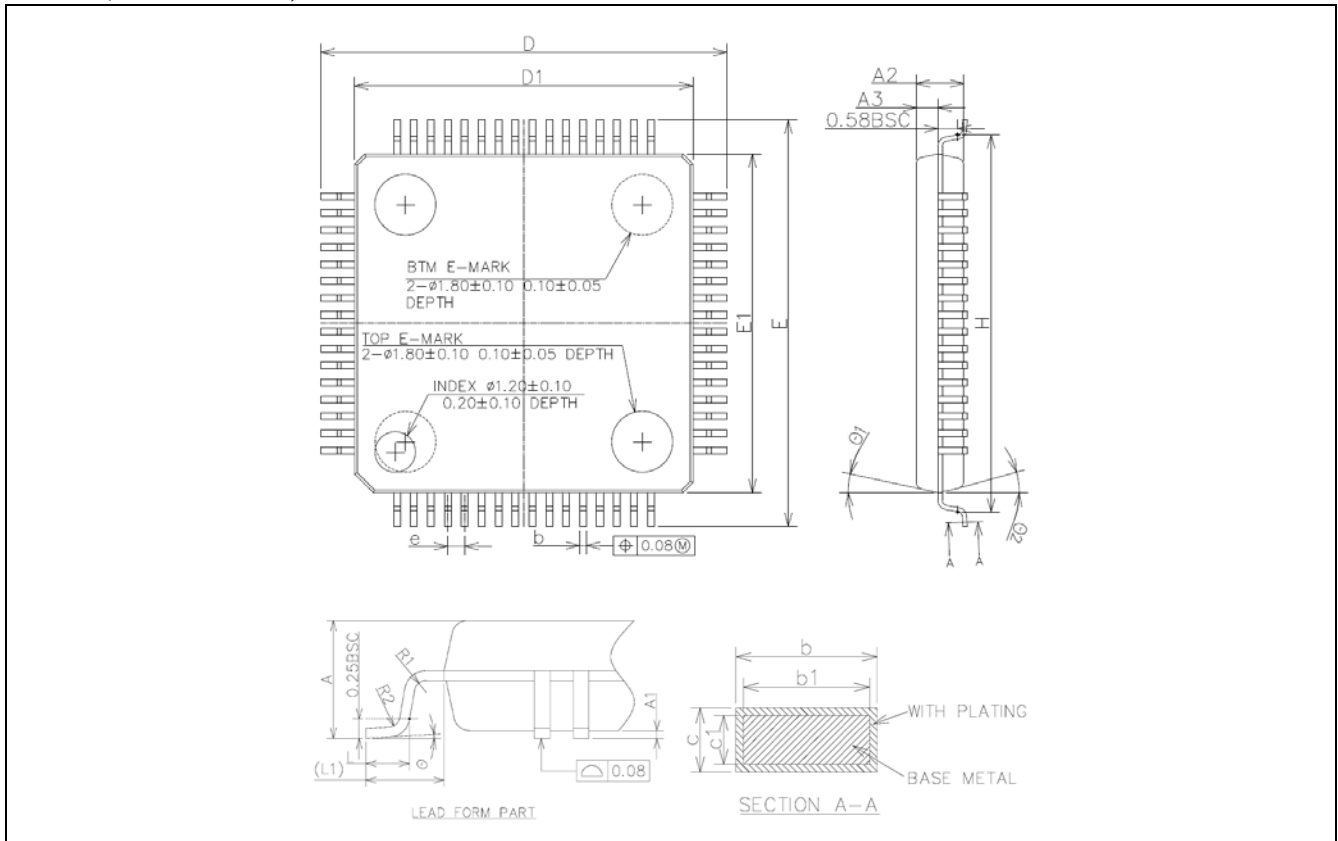


图 6.2 LQFP64 轮廓图

表 6.2 LQFP64 机械数据

符号	最小值(mm)	典型值(mm)	最大值(mm)
A	-	-	1.60
A1	0.05	-	0.15
A2	1.35	1.40	1.45
A3	0.59	0.64	0.69
b	0.18	-	0.27
b1	0.17	0.20	0.23
c	0.13	-	0.18
c1	0.117	0.127	0.137
D	11.95	12.00	12.05
D1	9.90	10.00	10.10
E	11.95	12.00	12.05
E1	9.90	10.00	10.10
e	0.40	0.50	0.60
H	11.09	11.13	11.17
L	0.53	-	0.70
L1	0.990	-	1.010

符号	最小值(mm)	典型值(mm)	最大值(mm)
R1	0.15		
R2	0.13		
θ	0°	3.5°	7°
θ_1	11°	12°	13°
θ_2	11°	12°	13°

7 订货代码

举例	RX32	S	50	R	C	T	7
芯片系列 RX32 = 基于 ARM 内核的 32 位微控制器							
芯片类型 S = 电机专用							
芯片亚科 50 = RX32S50xC							
引脚数 R = 64 pin M = 80 pin							
Flash C = 256 Kbyte							
封装 T = LQFP							
温度范围 7 = -40 到 105°C							

8 版本历史

表 8.1 版本历史

日期	版本	更改内容
2023/6/30	V1.0	初版
2023/7/17	V1.1	OPAMP: 增加了输入偏移电压、电压噪声密度 (shuru) PGA: 增加了输入偏移电压、开环增益、电源抑制比、 相位裕度、电压噪声密度 (shuru) PGA 增益误差在原来的基础上又在不同的增益下进行进一步的测试 改变部分测试条件